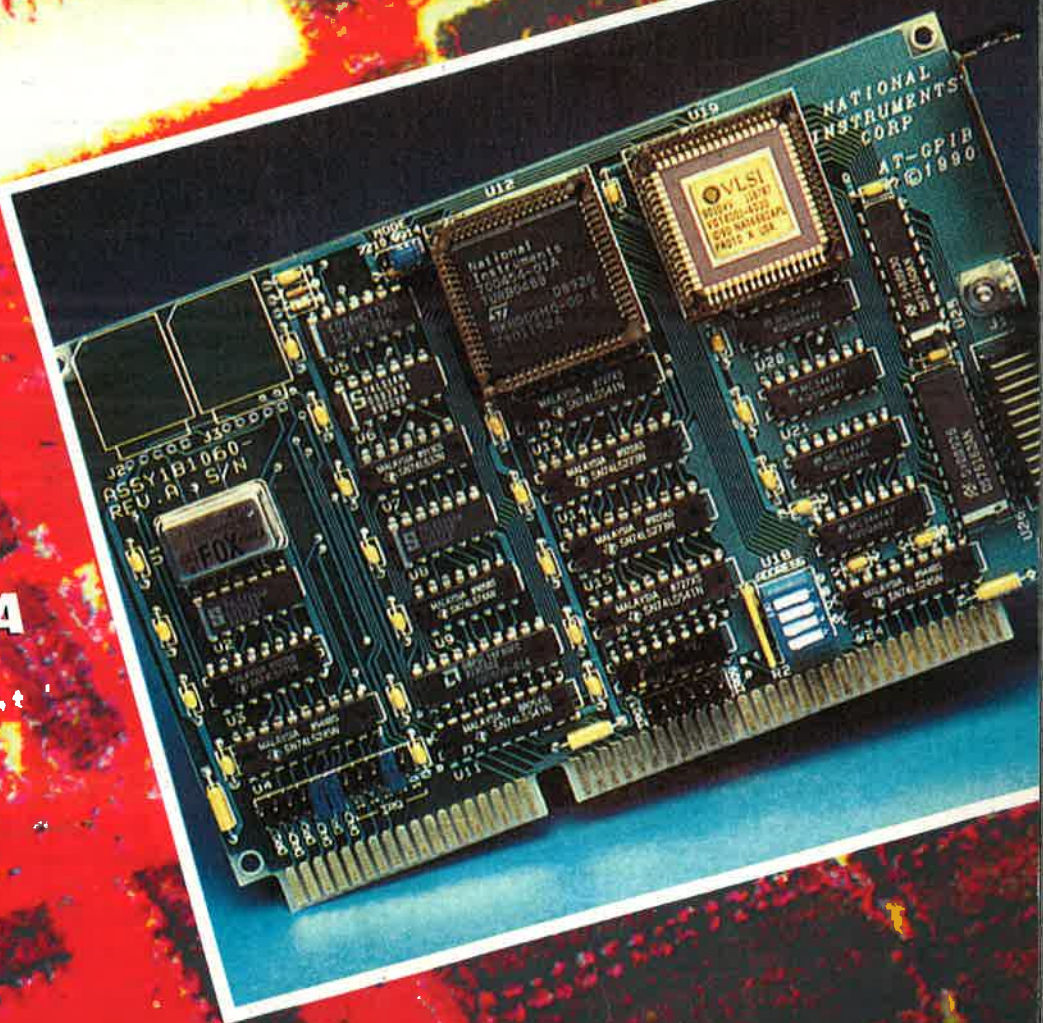
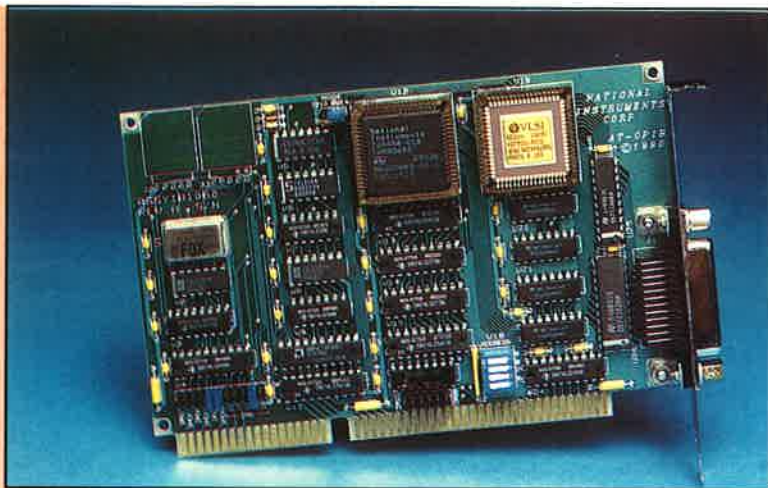
SPEDIZIONE IN ABB. POST.
GRUPPO II/70
ELETTRONICA E PC
L.9.900 Frs.17
36
HARDWARE
E PERIFERICHE
Applicazioni
dell'interfaccia GPIB
CORSO
DI ELETTRONICA
DIGITALE
I dispositivi PAL
REALIZZAZIONI
PRATICHE
Interfaccia di I/O
Centronics
JACKSON
LIBRI

APPLICAZIONI DELL'INTERFACCIA GPIB

Nel capitolo precedente sono stati esaminati il funzionamento delle schede GPIB e le loro diverse configurazioni. Di seguito verranno descritte le diverse schede esistenti in commercio per la conversione del PC in uno strumento di misura.

Verranno di seguito analizzate le diverse interfacce GPIB idonee per il montaggio su PC differenti, le schede di conversione seriali e parallele nel protocollo GPIB, e un analizzatore di bus GPIB.

La caratteristica più importante di questo tipo di interfaccia è costituita dallo slot a 16 bit compatibile con qualsiasi PC

INTERFACCIA GPIB PER PC E PS/2

La caratteristica più importante di questa interfaccia è dovuta allo slot da 16 bit di cui è dotata, compatibile con qualsiasi PC. Se la scheda è

Scheda di interfaccia GPIB progettata specificatamente per un PC

equipaggiata con il circuito integrato NAT4882, è in grado sia di controllare le diverse funzioni che di trasmettere e ricevere i dati ricevuti dalle apparecchiature di misura e dal calcolatore. Inoltre, se è dotata dell'integrato Turbo488, il range di trasferimento dei dati può arrivare fino a circa 1 Mbyte al secondo per le operazioni di lettura e scrittura.

Queste schede permettono di collegare contemporaneamente fino a tredici strumenti ad uno stesso calcolatore; uno dei bus viene utilizzato per la verifica del circuito, in quanto è possibile accoppiare una seconda porta GPIB per ricavare informazioni sullo stato di alcune delle linee GPIB, oppure cambiarne il suo stato per applicazioni particolari, quali la verifica del funzionamento a basso livello della porta IEEE-488 di qualche strumento.

Queste schede sono molto utilizzate per eseguire misure di laboratorio, per sorvegliare le fasi di un ciclo produttivo, e per l'analisi dei processi di monitoraggio e di controllo. Con il loro aiuto, è infatti possibile comunicare e pilotare strumenti applicativi nel campo ingegneristico e medico, oppure eseguire la corretta analisi di esperimenti scientifici.

Si può comunicare con strumenti applicativi nei campi dell'ingegneria, della medicina e negli esperimenti scientifici

Prima di affrontare la descrizione dell'hardware è opportuno verificare la compatibilità esistente tra i due tipi di standard utilizzati nelle interfacce GPIB: gli standard IEEE-488.1 e .2 e la scheda in esame.

Le specifiche dello standard determinano le funzioni dell'interfaccia. I codici che questa supporta, riportati nella tabella corrispondente, vengono di seguito esaminati dettagliatamente.

Controller Le schede devono supportare tutti i comandi per le funzioni di controllo indicate dall'IEEE-488.2:

Controllo del sistema: C1.
Invio IFC e carico di trasmissione: C2.
Invio REN: C3.
Risposta per SQR: C4.
Invio dei messaggi dell'interfaccia: C5.
Sincronizzazione del controllo di trasm.: C5.

Alcuni di questi circuiti sono dotati anche delle funzioni opzionali per il controllo della ricezione, del passo e del registro parallelo; tutto questo tramite il codice C5.

Trasmettitore Le richieste di trasmissione per un controller IEEE-488.2 sono: trasmissione di base senza indirizzamento MLA, per mezzo di T5 e TE5. Sono disponibili funzioni opzionali, quali la risposta per un registro seriale e per modalità di sola trasmissione *(Talk-Only)*.

Ricevitore I comandi indicati dall'IEEE-488.2 per questo parametro sono analoghi a quelli precedenti, ma definiti per la ricezione: ricezione di base senza indirizzamento MTA tramite i codici L3 e LE3, e opzione per la configurazione in sola ricezione *(Listen-Only)*.

CODICE	DESCRIZIONE
SH1	Sorgente di trasmissione
AH1	Accettazione della trasmissione
T5, TE5	Emettitore, prolungatore dell'emettitore
L3, LE3	Ricevitore, prolungatore del ricevitore
SR1	Richiesta di servizio
PP1, PP2	Registro parallelo locale o remoto
RL1	Remoto o locale
C1, C2, C3, C4, C5	Controller
E1, E2	Controller del bus tristate con connessione automatica per l'apertura del collettore con i registri paralleli

Controllo del passo Le schede permettono il controllo del passo e della ricezione tramite le seguenti funzioni: C1, C2, C3, C4, C5, T5 e TE5.

Interfaccia elettrica Lo standard IEEE-488.2 richiede un'interfaccia elettrica: E2. I controller di apertura di collettore indirizzano le linee di segnale SQR, NFRD e NDAC. I controller di tristate pilotano le linee di segnale DAV, EOI, ATN, REN e IFC. Quando un'apparecchiatura IEEE-488 inserita in un sistema di strumentazione non si trova in PPAS, l'interfaccia utilizza i controller tristate per indirizzare DIO1 attraverso le otto linee di segnale. Se questa apparecchiatura IEEE-488 in un sistema di strumentazione si trova in uno stato attivo di registri paralleli *(PPAS, Parallel Poll Active State)*, la scheda utilizza i controller di apertura del collettore per pilotare DIO1 attraverso le otto linee di segnale.

I due componenti più importanti di un'interfaccia GPIB sono il dispositivo che incrementa la velocità di esecuzione e il controller della stessa

I requisiti addizionali che lo standard IEEE-488.2 esige sono i seguenti.

- Fornire un controllo GPIB a basso livello, in modo che l'impulso vero IFC (IFC TRUE) possa essere superiore a 100 microsecondi; impostare il segnale REN a vero o falso; non inviare messaggi di interfaccia, definiti come IEEE-488 semplice o in combinazione; inviare e rilevare il messaggio END dell'IEEE-488.
- Rilevare lo stato della linea di segnale SQR.
- Rilevare la transizione da vero a falso della linea SQR.
- Esaminare il byte di stato in un blocco di bit.
- Rilevare la condizione di errore nel tentativo di trasmissione di un byte dalla sorgente, mentre le altre apparecchiature si trovano in AIDS.
- Rilevare il tempo impiegato per lo scambio dei messaggi tra interfaccia GPIB e lo strumento, e viceversa.

Infine vengono indicate le raccomandazioni del controller IEEE-488.2.

Monitoraggio delle linee del bus. Il calcolatore può controllare tutte le linee del segnale GPIB tramite il circuito d'interfaccia.

Tempo di uscita. Questo valore può essere modificato tramite la scheda di interfaccia.

Interrupt SQR. Il circuito è abilitato per generare un interrupt al PC quando la linea del segnale SQR commuta da falso a vero.

HARDWARE PER LE INTERFACCE GPIB PER PC/AT E PS/2

In questo paragrafo vengono definite le componenti funzionali che appartengono ad una scheda tipo:

decodificatore di indirizzi
transcettore dei dati
bus dell'interfaccia logico
DMA e interrupt logici
integrati per il controllo dell'interfaccia
monitor GPIB
transcettore GPIB.

Inizialmente vengono esaminati i componenti di una interfaccia destinata ad un PC, mentre di seguito verranno indicate le differenze e le similitudini che esistono in un circuito per PS/2.

Il decodificatore di indirizzi. Ogni scheda occupa 32 byte dello spazio disponibile per gli indirizzi

I due chip principali di cui sono dotate queste schede sono un controller d'interfaccia e un acceleratore di velocità di esecuzione

CANALE DI INGRESSO/USCITA DEL PC

TRANSCETTORI DEI DATI

MONITOR GPIB

TRANSCETTORI IEEE-488.1

LOGICA DI CONTROLLO DEL PC

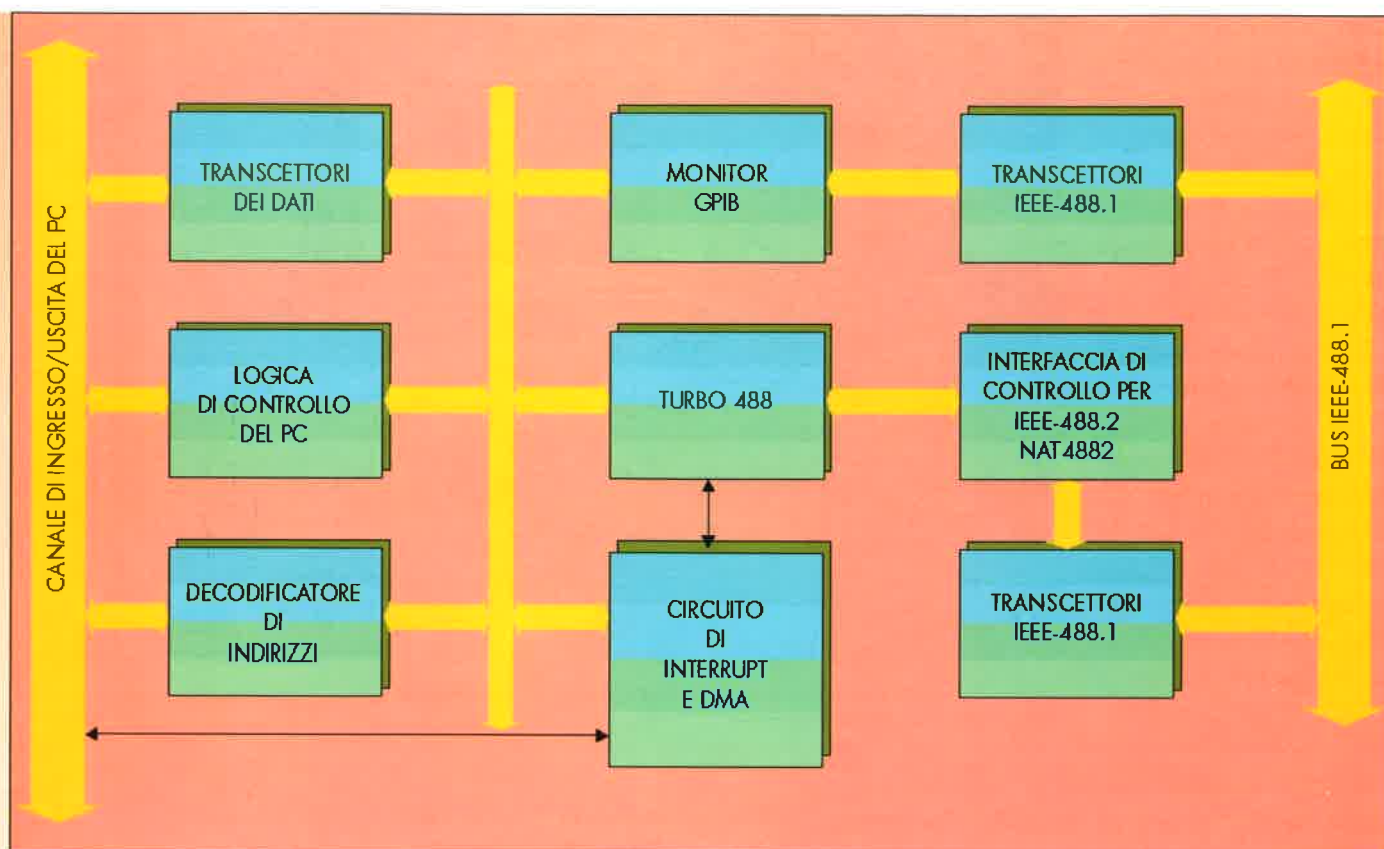
TURBO 488

INTERFACCIA DI CONTROLLO PER IEEE-488.2 NAT4882

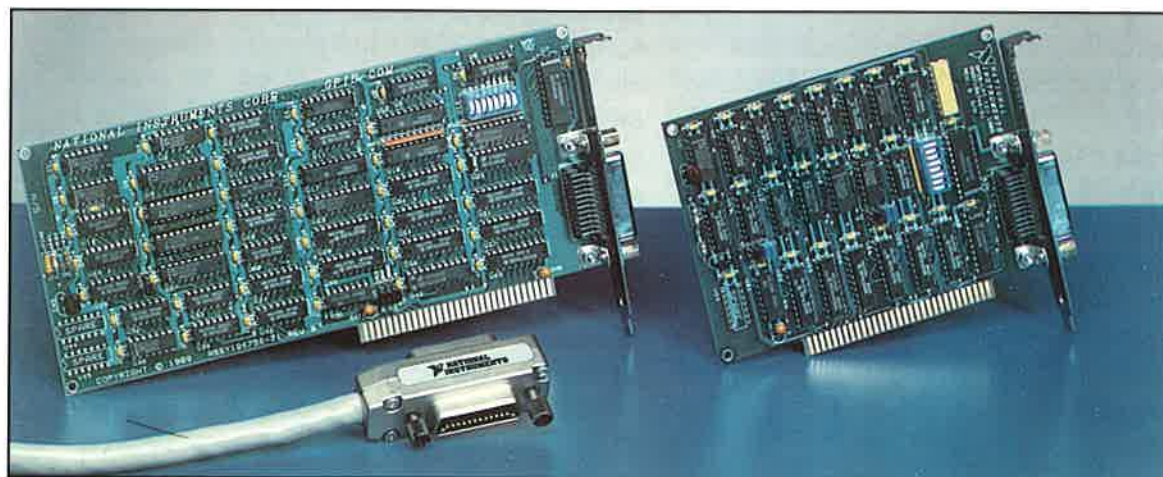
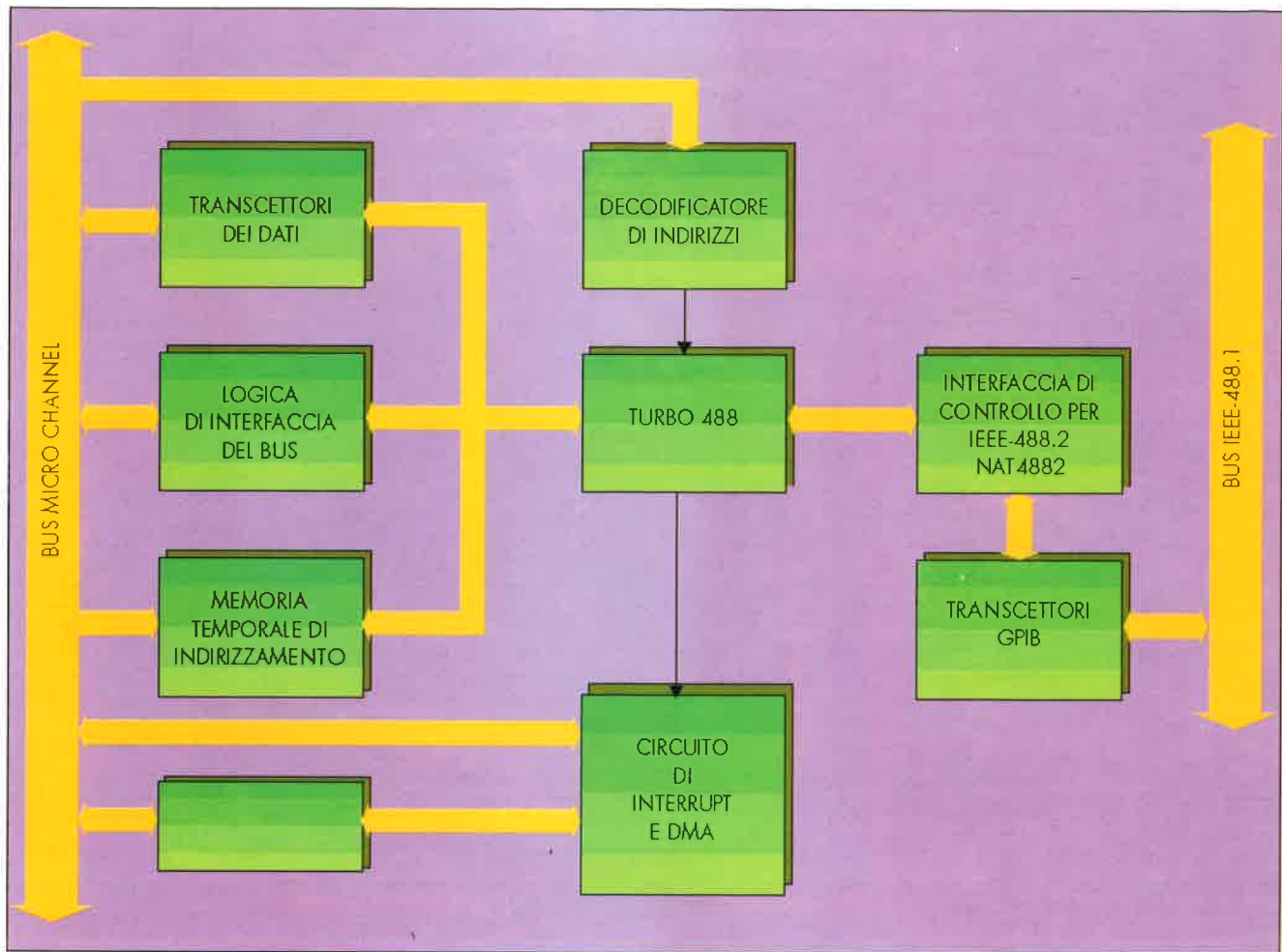
DECODIFICATORE DI INDIRIZZI

CIRCUITO DI INTERRUPT E DMA

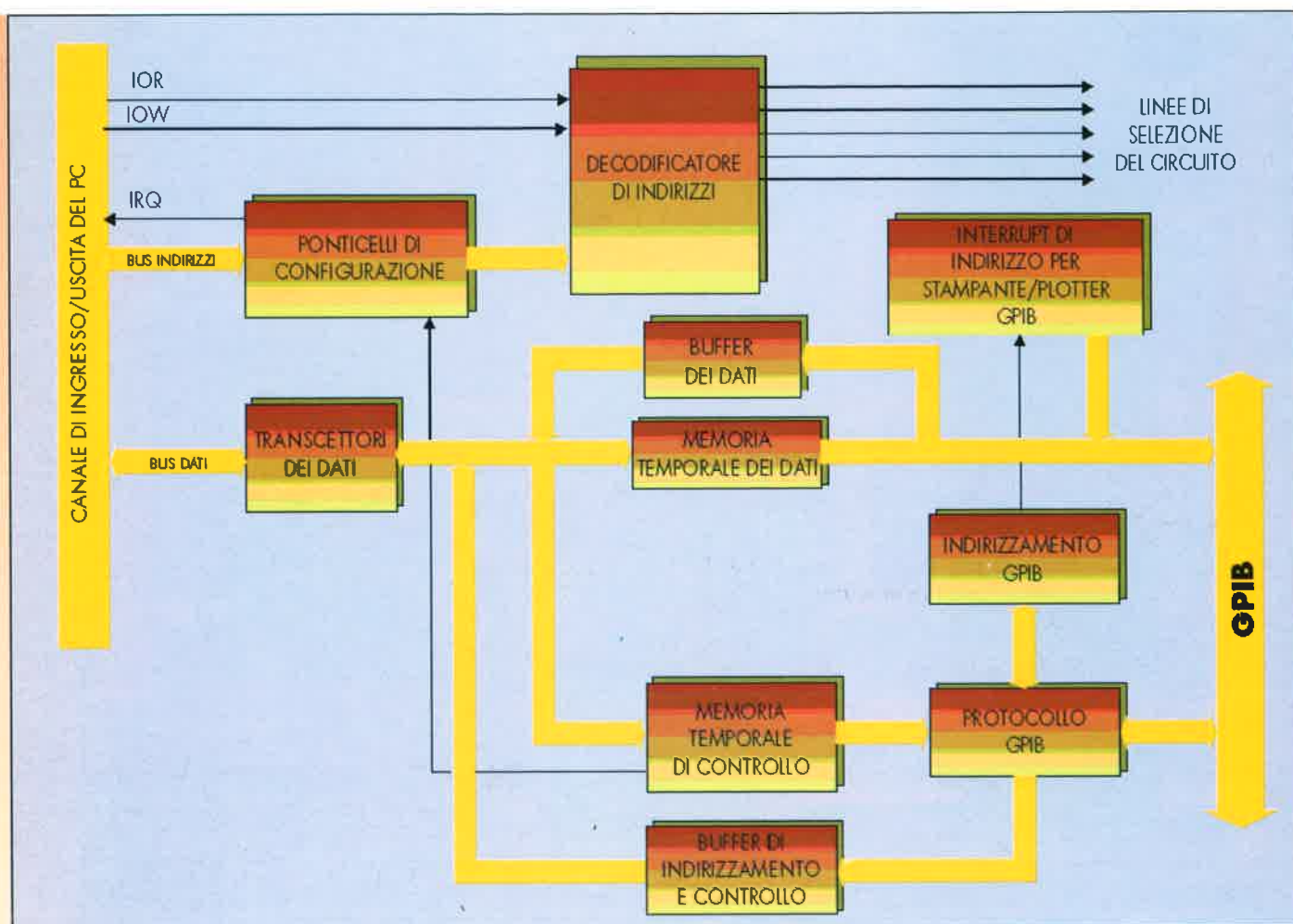
TRANSCETTORI IEEE-488.1

BUS IEEE-488.1

Schema a blocchi di una interfaccia GPIB per PC

di ingresso e uscita. Gli indirizzi principali possono essere configurati tramite dei microinterruttori.
Il transcettore dei dati. I circuiti utilizzano per il bus AT una parola dati di 16 bit, invece che di 8 bit come nel caso dell'XT, in modo che il numero di accessi dalla scheda al microprocessore o al controller DMA risulti dimezzato.
Bus di interfaccia logico. Le schede devono amplificare tutti i segnali da e verso il bus dell'elaboratore per evitare che il rumore elettrico provochi delle interferenze non desiderate.
DMA e interrupt logici. L'interfaccia può effettuare una richiesta di interrupt al microprocessore del PC attraverso una delle otto linee di interrupt dedicate a questo scopo.
Queste possono essere selezionate tramite i ponticelli presenti sulla scheda stessa, e quelle disponibili sono la 3, 4, 5, 6, 7, 9, 10, 11, 12,

Modelli diversi di schede GPIB

Esistono alcune interfacce che utilizzano la modalità di trasferimento chiamata di richiesta del controller DMA del PC

Il commutatore di selezione serve per configurare gli indirizzi di base dell'interfaccia

14 o la 15. Anche il trasferimento DMA a 16 bit può essere selezionato tramite dei ponticelli presenti sulla scheda; i canali che vengono utilizzati sono il 5, il 6 o il 7.
Esistono alcune interfacce che utilizzano la modalità di trasferimento chiamata di *richiesta del controller DMA* al PC, in opposizione al trasferimento ciclico tradizionale, e ciò permette un incremento della velocità di trasmissione a 1 Mbyte al secondo che può essere supportata dal bus IEEE-488.
I due elementi principali di questo tipo di schede sono un *controller di interfaccia* e un *acceleratore di elaborazione*. I due circuiti integrati più utilizzati per questo scopo sono il Turbo488 e il NAT4882.
Il *Turbo488* è un componente CMOS ad alta velocità, che sostanzialmente aumenta la velocità di esecuzione delle istruzioni da parte del circuito di interfaccia presente sulla scheda.
Vengono incrementati sia l'esecuzione del programma di trasferimento dei dati di ingresso e di uscita, che il range di trasferimento permesso dal controller DMA ad alta velocità della scheda madre del PC.
La memoria interna bidirezionale *FIFO* (primo ad entrare-primo ad uscire, First In-First Out) dell'integrato amplifica i dati ricevuti o inviati dalle apparecchiature IEEE-488.
Grazie a questa amplificazione, i bus dei diversi elementi che compongono il sistema IEEE-488 possono inviare e ricevere i dati alla velocità massima senza che il controller DMA debba ogni volta indirizzare il controllo del bus per ciascun byte trasferito. Inoltre, nel calcolatore il trasferimento dei dati IEEE-488 interrompe le routine di servizio e di DMA, per cui è possibile utilizzare la memoria FIFO per leggere e scrivere buffer di dati invece di semplici byte.
Questa amplificazione permette perciò di ottenere il range di trasferimento più elevato possibile,

Il circuito per la trasformazione da byte a parola supporta automaticamente ordini di byte in memoria e sul bus IEEE-488

Connessioni della scheda ad un sistema GPIB completo

La memoria FIFO dell'integrato incrementa anche il range di trasferimento dei comandi IEEE-488

con una sostanziale diminuzione degli interrupt.
Il *circuito di compattazione e scompattazione* da byte a parola (byte-to-word), disponibile nell'integrato Turbo488, consente la comunicazione con il PC attraverso il suo bus interno nella modalità a 16 bit. Il circuito interno di compattazione da byte a parola opera in entrambe le direzioni; in un verso riceve i byte dal controller dell'interfaccia e li compatta in parole da 16 bit prima che questi vengano letti dal PC, mentre nell'altro verso li suddivide in byte da 8 bit e li invia nuovamente al controller dell'interfaccia.
Il circuito di compattazione supporta automaticamente ordini di byte presenti in memoria e nel bus IEEE-488.
La *memoria FIFO* dell'integrato aumenta anche il range di trasferimento dei comandi IEEE-488. Normalmente questi vengono inviati in modalità di programmazione degli ingressi e delle uscite, con la trasmissione di un byte per ciascun interrupt di ingresso/uscita.
Con questo chip il computer carica semplicemente il contenuto della FIFO con i byte di comando e le istruzioni; successivamente il circuito di controllo del Turbo488 le invia automaticamente ai comandi. Il range di trasferimento dei comandi può aumentare fino a 350 Kbyte al secondo.
Questo integrato è dotato anche di altre opzioni, quali l'*attesa automatica* in trasmissione, la *sincronizzazione* completa nel trasferimento DMA con trasmissione IEEE-488 e il *trasferimento automatico* del segnale END.
Per migliorare i tempi impiegati per eseguire queste funzioni, sia sul bus IEEE-488 che nel PC, è necessario che queste ultime siano complementate dall'opportuno software.
Il controller di interfaccia. Rappresenta il cuore di ciascuna scheda. Questo dispositivo, al quale si accede tramite il Turbo488, contiene dei programmi memorizzati che configurano e controlla-

no le funzioni dell'interfaccia IEEE-488, e permettono il trasferimento dei comandi e dei dati da e verso le altre apparecchiature IEEE-488; ciò diminuisce la necessità di software per la realizzazione di tutte queste operazioni. Il controller opera con una velocità di clock di 20 MHz, rendendo molto più veloce l'interfaccia GPIB.

Il monitor GPIB. Il bus IEEE-488 può essere controllato direttamente attraverso una porta di lettura/scrittura a 16 bit, indipendentemente dal controller dell'interfaccia e dai transcettori GPIB. Le uscite della porta vengono disattivate dal reset di sistema e non interferiscono con le normali operazioni dell'IEEE-488. La funzione di lettura e scrittura delle 16 linee dell'IEEE-488 diventa attiva solo quando viene rilevata la presenza dell'interfaccia o di altri strumenti possibili.

I transcettori GPIB. Il circuito di interfaccia è collegato al bus IEEE-488 per mezzo di transcettori, che sono provvisti di protezioni contro spegnimenti o accensioni brusche e impreviste (glitch-free).

Negli elaboratori della serie PS/2 le differenze sostanziali rispetto ai modelli denominati AT sono le seguenti:

- *decodificatore di indirizzi.* Lo spazio che riserva il circuito per gli indirizzi di ingresso e di uscita è di 512 byte.
- *transcettori dei dati.* Il GPIB utilizza i dati a 16 bit del bus di ingresso/uscita della Micro-Channel. In questo caso, come nei computer della serie AT, il numero di accessi della scheda al processore o al controller DMA si dimezzano, con relativo incremento del range di trasferimento.
- *selezione programmabile delle opzioni (POS).* Utilizzando il POS si elimina la necessità dei ponticelli e dei commutatori. Infatti, gli indirizzi base di ingresso/uscita, i livelli di interrupt e i livelli di arbitrarietà si possono selezionare direttamente tramite le utility del sistema di configurazione. All'accensione, o quando si esegue un reset, l'interfaccia viene immediatamente riconosciuta dal calcolatore che la configura automaticamente.
- *DMA e interrupt logici.* L'interfaccia può eseguire una richiesta di interrupt al microprocessore tramite uno dei sei livelli di interrupt selezionabili: 3, 5, 9, 10, 11 o 15. Questi livelli possono essere impostati tramite le utility del sistema di configurazione.

Gli altri elementi svolgono le stesse funzioni sia per gli AT che per i PS/2, per cui si rimanda alla descrizione corrispondente per eventuali chiarimenti.

Il controller lavora con una velocità di clock di 20 MHz, rendendo molto più veloce l'interfaccia GPIB

Con l'interfaccia GPIB si possono controllare complesse apparecchiature elettroniche

Il decodificatore di indirizzi controlla il bus indirizzi del PC

SCHEDA DI CONVERSIONE DA PARALLELO A GPIB

In questo paragrafo vengono esaminati altri dispositivi che compongono un sistema GPIB completo. Il circuito indicato di seguito ha come applicazione principale quella di controllare plotter e stampanti GPIB che possono richiedere l'accesso alla porta parallela di un PC.

Con questa interfaccia è anche possibile ottenere il passaggio diretto dell'informazione da una porta parallela ad un plotter o ad una stampante GPIB per produrre un'uscita ad elevata qualità in applicazioni software quali AutoCAD e altre.

Per descrivere rapidamente il funzionamento di questa scheda, si può affermare che intercetta i dati trasmessi da una porta parallela standard di un PC e li converte in un formato IEEE-488, inviandoli ad un connettore standardizzato GPIB. In questo modo una stampante o un plotter possono essere gestiti come se fossero apparecchiature di tipo parallelo.

Come può essere facilmente capito, questa scheda non è altro che un emulatore di porta parallela che converte i dati provenienti dalla porta parallela e il protocollo di trasmissione in dati e protocolli GPIB. Gli elementi più significativi di questa interfaccia sono costituiti da:

- *un decodificatore di indirizzi,*
- *una configurazione a ponticelli,*
- *dei latch di controllo e per i dati,*
- *dei buffer per i dati e per gli stati,*
- *una trasmissione GPIB,*
- *un indirizzamento GPIB.*

Il decodificatore di indirizzi controlla il bus degli indirizzi del PC per riconoscere la presenza di un indirizzo corrispondente all'interfaccia; in questo caso attiva le operazioni di lettura e scrittura dei suoi registri.

I ponticelli di configurazione permettono l'impostazione degli indirizzi di base della porta di ingresso/uscita e della relativa linea di interrupt della scheda.

I commutatori dell'interfaccia permettono la configurazione degli indirizzi di ricezione degli strumenti che devono essere utilizzati con la scheda, e determinano il modo con cui deve supportare i segnali REN, IFC e SQR.

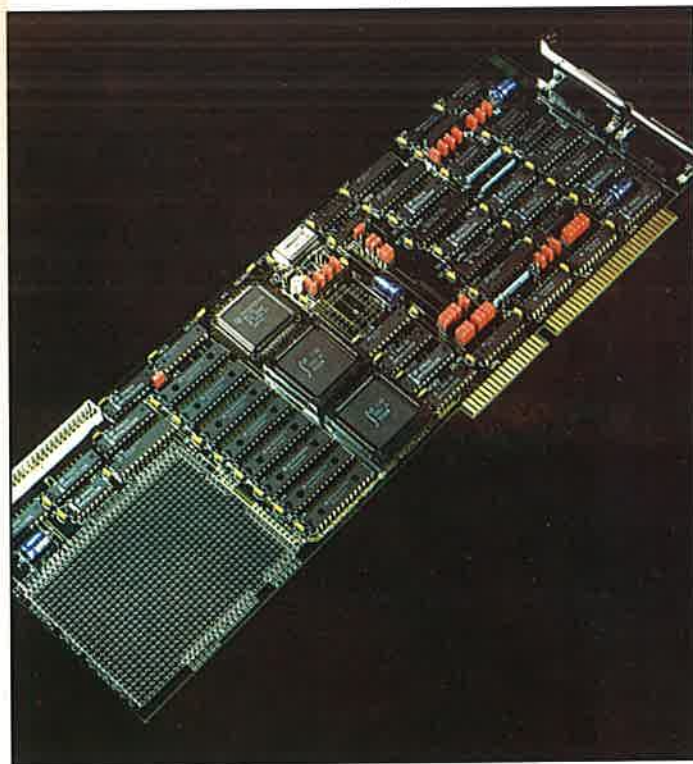
I latch per i dati e di controllo emulano i registri dei dati e di controllo dell'adattatore per la porta parallela del PC. Impostando questi latch si controlla l'uscita per la stampante o per il plotter GPIB.

I buffer per i dati di controllo e di stato, unitamente ai latch citati in precedenza, rendono la scheda compatibile con il software che gestisce la porta parallela del PC, ad esempio il BIOS.

I buffer dei dati rileggono i valori scritti nei rispettivi latch. I buffer di stato emulano il registro di stato a sola lettura *(Read-Only)* della porta parallela.

Il circuito di trasmissione GPIB converte il protocollo di trasmissione della porta parallela del PC nel protocollo di trasmissione GPIB.

Il circuito di indirizzamento GPIB verifica che una apparecchiatura riceva ogni volta il byte che viene inviato all'interfaccia. Se non vi sono ricevitori, la scheda invia l'indirizzo di ricezione al commutatore corrispondente, per poi inviare il byte dei dati.

Alcune schede GPIB sono dotate di una zona libera per future implementazioni

I DISPOSITIVI PAL

Tra le memorie esistono alcuni dispositivi che possono essere qualificati come tali ma che consentono di aumentare il rendimento dei rimanenti circuiti di memorizzazione presenti nelle vicinanze.

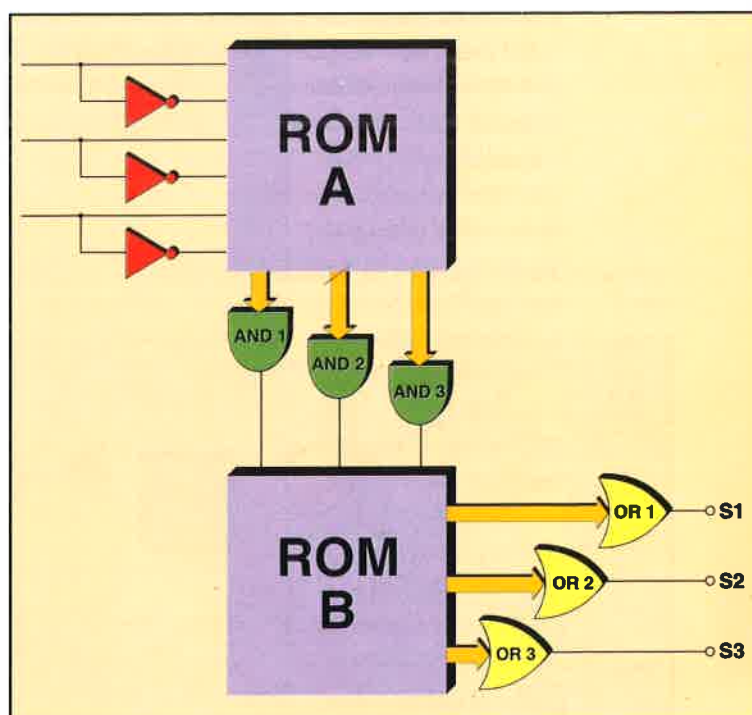
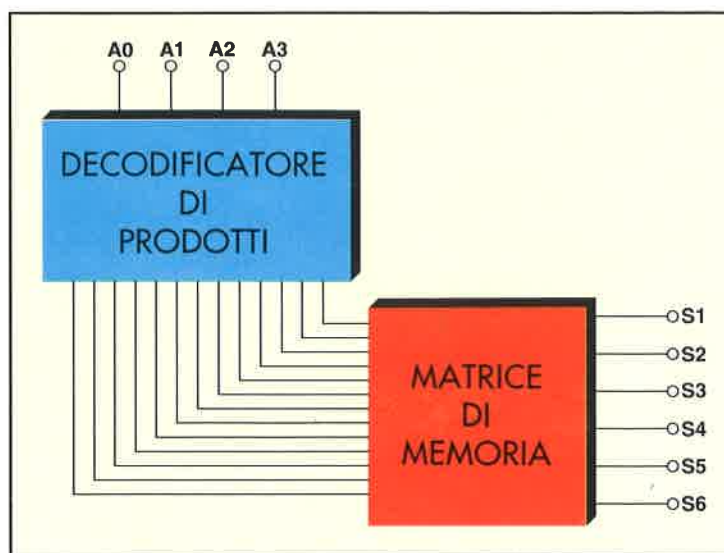
Nel capitolo precedente sono state esaminate tutte le possibili strutture che può avere una memoria ROM, ad esempio 12 ingressi e 8 uscite.

Se ad esempio si vuole aumentare il numero degli ingressi a 16, e mantenere invariato il numero delle uscite, il totale delle parole diventa 65536 e la quantità totale di bit 524288. Questo numero molto elevato di bit si può realizzare con un semplice circuito integrato ROM che contenga 32 memorie da 16 Kbyte interconnesse tra di loro per estendere l'indirizzamento.

Questo sistema genera un numero di equazioni logiche combinabili pari al numero delle uscite, e ciascuna di queste contiene un numero di variabili pari a quello degli ingressi.

L'equazione complessiva del sistema viene espressa in forma canonica come somma di prodotti, nella quale ciascun prodotto contiene 16 fattori in quanto sono presenti un totale di 65536 termini o parole.

Nel sottoinsieme del sistema ROM dell'esempio precedente il numero di ingressi e di uscite rimane invariato, ma ogni somma contiene solamente (ad esempio) 20 termini di prodotti, invece dei 65536, che vengono definiti come *prodotti parziali delle variabili di ingresso*, poiché ogni prodotto non contiene i 16 impulsi o i suoi complementari.

Con due memorie ROM si può realizzare la selezione degli ingressi delle porte AND e OR

Schema a blocchi di una PAL

Questo sistema di logica combinatoria è conosciuto come *insieme logico programmabile* o PAL *(Programmable Array Logic)*.

Il decodificatore della PAL deve contenere 48 porte AND. L'uscita di ciascuna porta AND è un termine del prodotto parziale e, normalmente, il numero di ingressi applicato ad ogni porta è ridotto, pari al massimo al numero di bit di ingresso dei dati.

La matrice di codifica è formata da porte OR, le cui uscite sono una funzione diretta dell'uscita della PAL. Il numero massimo di ingressi in qualsiasi porta OR è pari al numero dei termini del prodotto, ma generalmente è molto inferiore.

A titolo esemplificativo si prendono in considerazione due equazioni di logica combinatoria, quali:

Schema di un dispositivo logico programmabile realizzato con un bistabile di tipo D

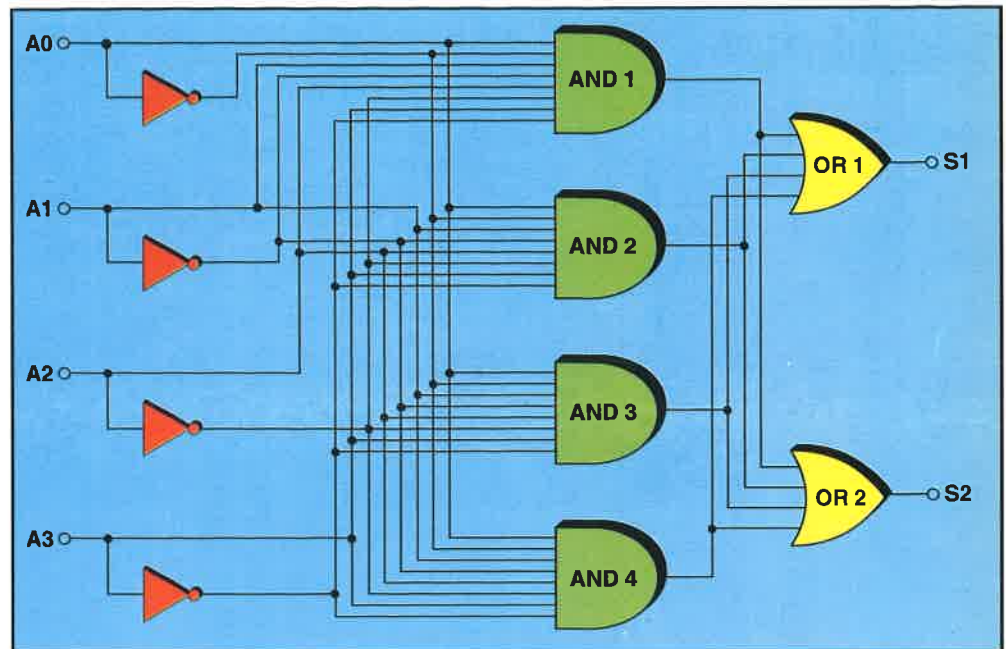
S1 = (A1*A2*/A3) + (A1*/A2) + (/A0*A1*A2)
S2 = (A0*/A1*A2) + (A1*A2*/A3)

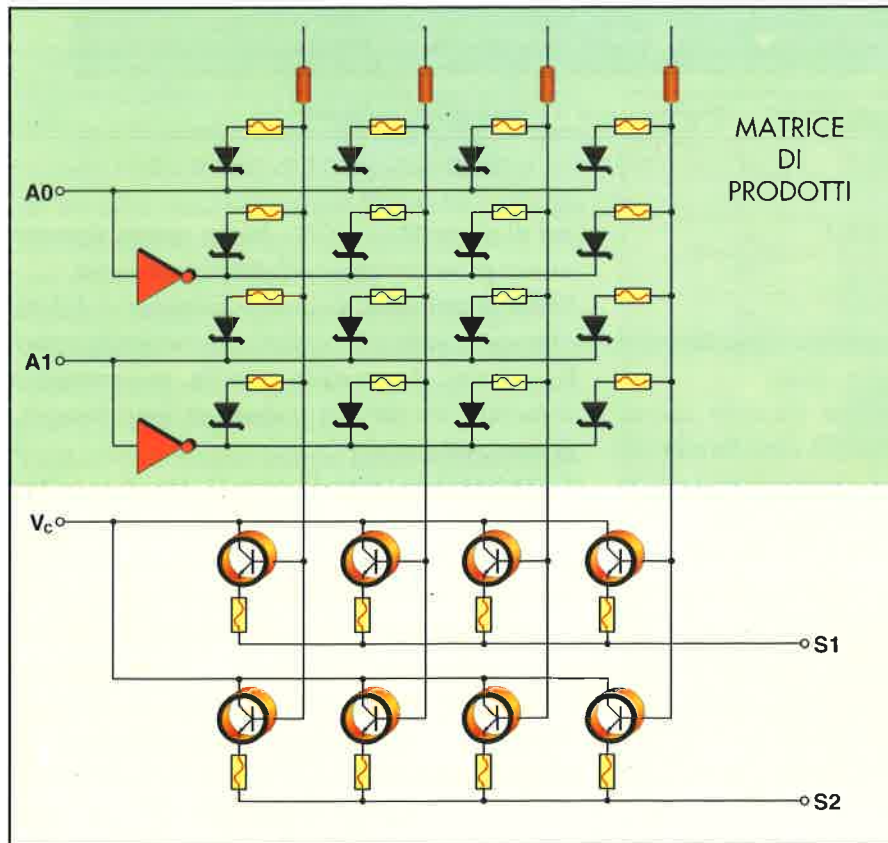
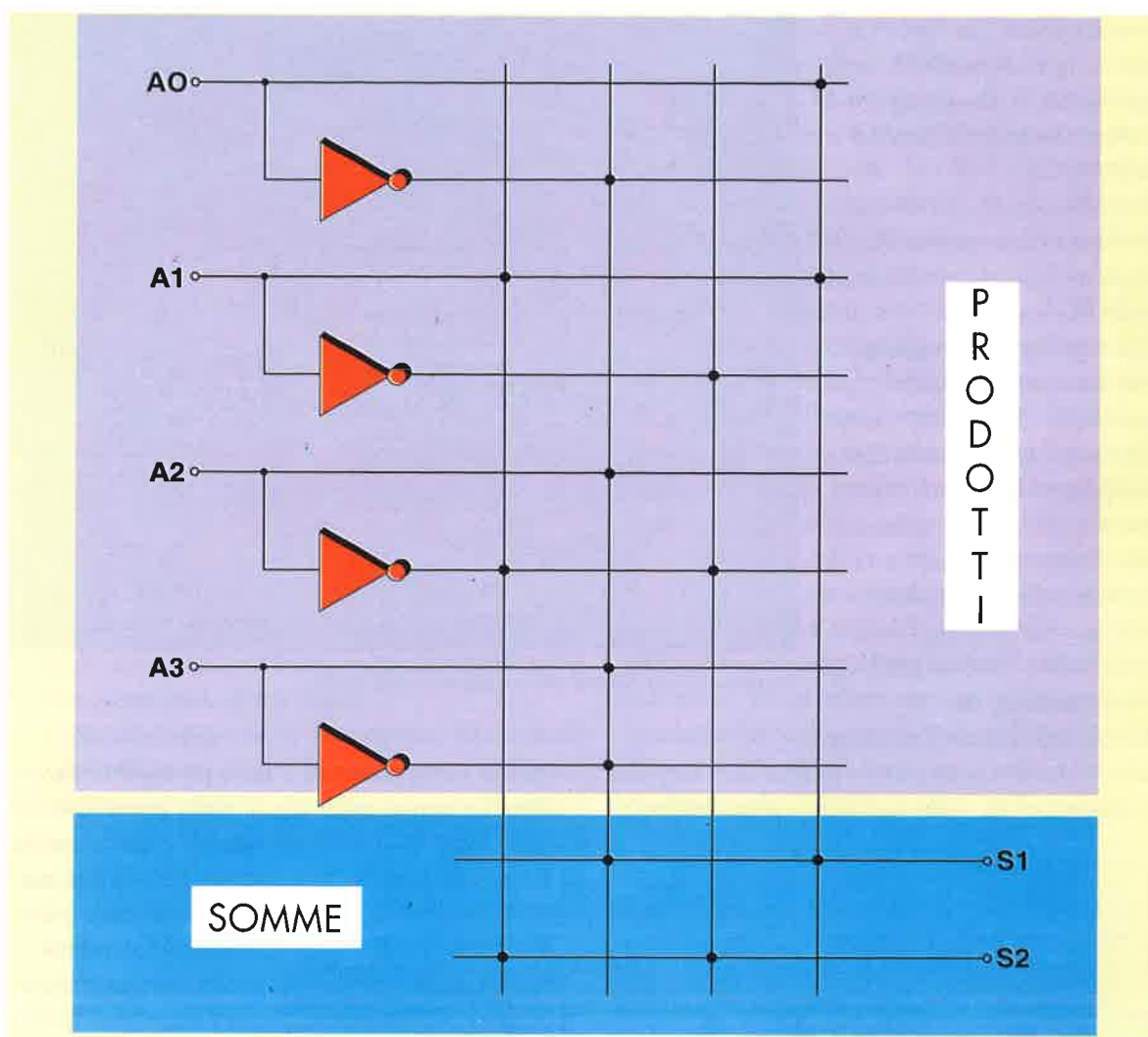
Queste due uscite utilizzano quattro termini di prodotto, poiché (A1*A2*/A3) è comune ad entrambe le equazioni. I termini che rimangono sono disponibili per le altre uscite da S3 ad S6. Una delle porte AND ha un ingresso, tre ne hanno due, una tre e l'ultima quattro. La porta di uscita di S1 ha tre ingressi, mentre quella di S2 due.

La tabella della verità delle equazioni precedenti si ricava utilizzando la logica positiva, e ciascuna linea rappresenta un termine del prodotto. Se un dato di ingresso è vero compare un 1 (se è falso sarà 0) nella colonna riferita a questo ingresso. Se una variabile non compare in un prodotto nella tabella viene riportata una X, relativa ad uno stato indifferente, in corrispondenza della colonna riferita al dato di ingresso e della riga del prodotto in esame. Se una uscita S si trova ad 1, significa che il termine del prodotto rappresentato nella riga corrispondente è presente nella relativa funzione di uscita. Di conseguenza, la tabella della verità risulta così composta:

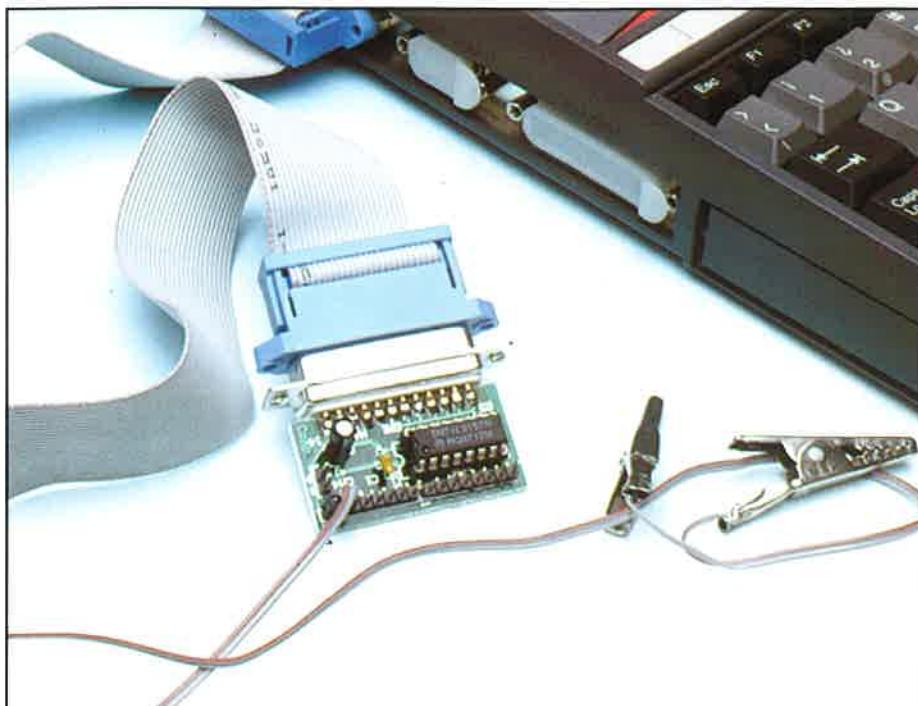
INGRESSI				USCITE	
A0	A1	A2	A3	S1	S2
X	1	1	0	1	1
X	1	1	X	1	0
0	1	1	X	1	0
1	0	1	X	0	1

Questa tabella, ampliata sino a coprire tutte le funzioni di uscita e tutti i termini di prodotto, rappresenta la tabella di programmazione di una PAL. L'utilizzatore deve sviluppare la tabella in modo che risultino soddisfatte le funzioni logiche combinatorie desiderate, e il costruttore deve realizzare una maschera per la metallizzazione che realizzi gli opportuni collegamenti. Se ad esempio compare una X in qualche ingresso dati e in una delle righe, il collegamento in alluminio tra quell'ingresso (e nemmeno il suo complemento) e la porta AND corrispondente non deve essere eseguito. D'altra parte, se l'ingresso per il termine corrispondente alla porta AND è 1, deve essere eseguita la metallizzazione tra ingresso e porta.

Analogamente, se l'uscita è 1 per la riga del prodotto corrispondente, si deve eseguire il collegamento tra il termine e la porta OR.
Riassumendo si può affermare che le PAL vengono utilizzate per migliorare il rendimento delle ROM.
Ciò significa che l'utilizzo di una memoria ROM per la generazione di funzioni rende disponibili tutti i prodotti canonici presenti in questa. Praticamente però la generazione di una funzione richiede un numero ridotto di prodotti canonici, per cui la maggior parte della ROM rimane generalmente inutilizzata.
Per evitare questa situazione sono state sviluppate le matrici logiche programmabili, nelle quali un certo numero di ingressi viene collegato a delle porte AND, le cui uscite vengono applicate a delle porte OR. La struttura delle uscite delle porte OR è pertanto formata da una somma di prodotti.
Questa organizzazione permette di realizzare delle funzioni con i prodotti, nei quali ciascuno ha diverse variabili. La flessibilità di questi dispositivi consiste nel fatto che, una volta selezionata la PAL con i parametri indicati, il collegamento delle variabili di ingresso alle porte AND, e delle uscite di queste alle porte OR è direttamente programmabile dall'utente.
Pertanto, la struttura comprende memorie ROM che definiscono gli ingressi delle porte AND e OR rispettivamente.

Struttura di una PAL con quattro ingressi e due uscite

Schema di una matrice di prodotti, nella quale si possono notare i fusibili di collegamento tra le porte di ingresso e le linee di prodotto

In funzione dei fusibili che vengono "bruciati" si ottengono le diverse configurazioni interne della PAL

ALTRI DISPOSITIVI LOGICI PROGRAMMABILI

Si possono segnalare altri prodotti appartenenti a questa famiglia di dispositivi, quali:
PLD (Programmable Logical Device): questi dispositivi logici programmabili sono formati da un insieme di circuiti che svolgono un certo compito in funzione degli ingressi applicati.
Passando attraverso una serie di porte AND e OR, i segnali vengono trasformati in modo da ottenere l'uscita desiderata. Queste porte possono essere configurate direttamente dagli utilizzatori.
PLS (Programmable Logical Sequencial): sono dei sequenziatori logici programmabili, per cui sono costituiti da alcuni dispositivi formati da un insieme di porte AND e OR. Anche queste possono essere programmate dall'utilizzatore finale.
Nella descrizione di questa famiglia si è fatto riferimento solo alla configurazione fondamentale; tuttavia, è possibile trovare in commercio dispositivi con altri tipi di elementi, quali bistabili, porte tristate, ecc.
Confrontando tra di loro i tre dispositivi programmabili indicati in precedenza si può affermare che i PLS sono quelli più flessibili, poiché le loro porte sono totalmente programmabili. Tuttavia, sono anche i più costosi, in quanto richiedono una maggior superficie di silicio. Le PAL, che sono i dispositivi più semplici, vengono largamente utilizzate in tutti i progetti poco complessi dal punto di vista logico.

INTERFACCIA DI I/O CENTRONICS

L'interfaccia Centronics è il circuito standard più comune in un elaboratore per la trasmissione delle informazioni verso una stampante, ma è poco conosciuta come interfaccia per l'ingresso dei dati.

Viene analizzato il funzionamento di una porta che può essere realizzata anche praticamente

Per capire come sia possibile che una porta considerata sempre esclusivamente di uscita dei dati possa diventare anche di ingresso degli stessi, è necessario conoscere perfettamente il suo funzionamento. Per questa ragione, prima di affrontare nei dettagli il circuito proposto, viene analizzato lo schema di una ipotetica porta che può essere realizzata praticamente senza alcun problema.

Schema completo dell'ipotetica interfaccia Centronics

L'INTERFACCIA CENTRONICS

L'interfaccia Centronics è uno standard progettato specificatamente per collegare un calcolatore ad una stampante. Questa interfaccia sfrutta la trasmissione parallela dei dati che devono essere "scritti" dalla stampante, ed è dotata di diversi segnali in parte utilizzati dal calcolatore per la gestione del sistema e in parte inviati dalla stampante al computer per indicare le condizioni in cui si trova al fine di garantire un corretto funzionamento della comunicazione.

Il circuito dell'interfaccia Centronics è dotato di 8 linee di uscita per le informazioni o i dati

Il circuito dell'interfaccia Centronics è dotato di 8 linee di uscita (D0-D7), che trasmettono i dati dal computer verso la stampante. Queste trasportano la totalità dell'informazione che viene inviata ad ogni impulso di clock.

I *segnali di controllo* inviati dal calcolatore alla stampante sono:

STROBE/: questo segnale indica alla stampante quando l'informazione presente sulle linee dei dati è stabile e perciò leggibile, e il modo in cui deve essere recepita. Il segnale deve essere normalmente a livello alto, scendere a livello basso nel periodo di trasmissione dei dati, e successivamente tornare a livello alto.

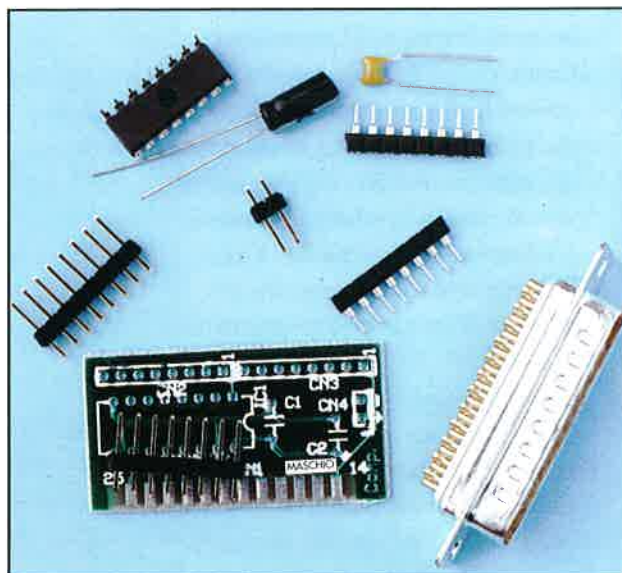
INIT/: questa linea invia un segnale che forza la stampante ad interrompere la stampa e a cancellare completamente i dati contenuti nel buffer; la condizione si verifica quando questa linea commuta a livello basso. Un altro sistema per inizializzarla è quello di inviare il codice di escape proprio della stampante.

SLCT IN/: quando si trova a livello basso la

Schema del circuito di I/O Centronics che fornisce 8 ingressi e 4 uscite

stampante risulta selezionata. Quando è a livello alto il trasferimento dei dati non avviene. Alcune stampanti hanno questo ingresso polarizzato a livello alto, per cui risultano sempre selezionate.
AUTO FD/: con questo segnale si indica alla stampante che deve eseguire in modo automatico la stampa di una linea vuota seguita da un ritorno carrello.
Le *uscite* di cui è dotata la stampante per indicare al calcolatore i processi che sta eseguendo sono:
ACK/: è un impulso negativo (commutazione da livello alto a basso) per indicare al calcolatore che i dati inviati attraverso la porta sono stati ricevuti correttamente e che può inviarne altri.
BUSY: segnale attivo a livello alto per indicare all'elaboratore che non deve inviare più dati; generalmente si attiva nel momento in cui il buffer della stampante è pieno oppure quando la stampante non è in ON LINE. Per questi motivi il computer deve interrompere immediatamente l'invio di ulteriori informazioni.
SLCT: segnale attivo a livello alto, con il quale si informa il calcolatore che la stampante è presente. Il caricamento della linea può essere costituito semplicemente da una resistenza che polarizza il segnale a + 5 V.
ERROR/: come indica il nome stesso, informa il calcolatore che nella stampante si è verificato un errore, e che questa non è in grado di ricevere altri dati finché questo errore non è stato corretto. Il sistema operativo visualizza sullo schermo l'errore rilevato, e consente all'utente di procedere con la stampa o di annullarla.
PE (paper end): indica al computer che la stampante non ha più carta nel suo vassoio, e normalmente si attiva (livello alto) assieme al segnale ERROR.
L'interfaccia è dotata di un connettore DB-25 a 25 terminali sul quale sono presenti questi segnali di trasmissione che sono completamente compatibili con i livelli TTL.
Nell'organizzazione del bus del PC, ciascuna delle porte dedicate alla stampante appare all'interno della mappa di ingresso/uscita del calcolatore come un gruppo di tre porte parallele; ciascuna porta esegue una funzione perfettamente definita: controllo della stampante, lettura delle sue informazioni e invio dei dati verso la stessa.
Di seguito verrà indicato il modo per indirizzare queste tre porte all'interno della mappa di I/O del PC. Inizialmente verranno definiti solamente gli indirizzi relativi a LPT1, per esaminare successivamente la loro corrispondenza con quelli delle altre porte per stampante LPT2 e LPT3, in quanto si

Le uscite di cui è dotata la stampante per indicare al calcolatore i processi che sta svolgendo sono: ACK/, BUSY, SLCT, ERROR/ e PE

Componenti necessari per realizzare il circuito

Nella organizzazione del bus del PC, ciascuna delle porte Centronics viene vista come un gruppo di tre porte parallele

comportano esattamente allo stesso modo.
PORTA 378: in questa porta vengono scritti i dati che devono essere inviati alla stampante. Questi dati devono essere immagazzinati in un latch, in modo che compaiano sul connettore di uscita. La corrispondenza tra i segnali e i 25 terminali del connettore deve essere la seguente:

BIT	FUNZIONE	PIN
D0	dato 0	2
D1	dato 1	3
D2	dato 2	4
D3	dato 3	5
D4	dato 4	6
D5	dato 5	7
D6	dato 6	8
D7	dato 7	9

L'insieme di questi bit forma il byte di informazione che deve essere inviato alla stampante; ovviamente questi dati devono appartenere ad un codice dei caratteri stampabili o ad un codice di escape, come detto in precedenza a proposito dei metodi di inizializzazione della stampante.
La porta è di uscita, per cui è possibile solamente eseguire una lettura per la verifica dei dati inviati; si ricordi però che si sta parlando di una porta di sola uscita e non bidirezionale.
PORTA 379: è una porta di ingresso nella quale si evidenziano le uscite di stato della stampante. Come si può osservare nella relativa tabella, non tutti i bit di cui è dotata questa porta vengono utilizzati, in quanto i segnali previsti in questa interfaccia per segnalare lo stato nel quale si trova la stampante sono solamente cinque. La distribuzione e la corrispondenza tra i terminali del connettore dell'interfaccia e i bit della porta sono riportati nella tabella corrispondente.
Come si può osservare nella tabella, il bit 7 è invertito nel bus rispetto al segnale ricevuto sul connettore. Il bit può essere utilizzato come un segnale esterno per la richiesta di interrupt (IRQ7) abilitato da uno dei bit della porta di controllo della stampante.
PORTA 37A: in questa porta vengono scritti i segnali di controllo per la stampante; come nel caso precedente non vengono utilizzati tutti i bit della porta, poiché il protocollo Centronics non prevede otto uscite per il controllo della stampante. Le uscite sono riportate nella tabella corrispondente.

BIT USCITA	FUNZIONE	PIN
D0	non usato	
D1	non usato	
D2	non usato	
D3	ERROR/	15
D4	SLCT/	17
D5	PE	12
D6	ACK/	10
D7	BUSY/	11

FUNZIONAMENTO

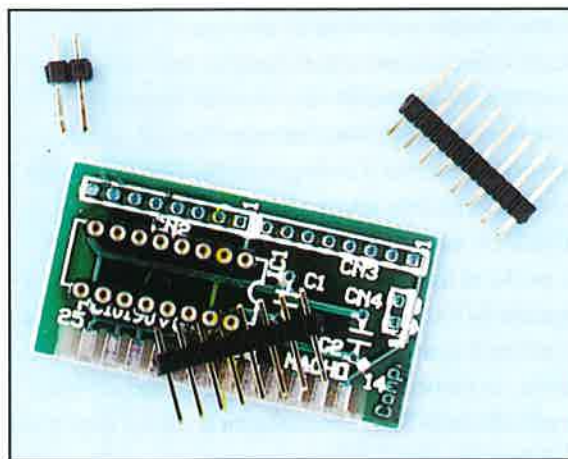
Come si può osservare, i bit 0, 1 e 3 risultano invertiti nella porta rispetto alle uscite del connettore. Questi segnali di uscita, come già visto per la

A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	PORTA ABILITATA
1	0	0	1	1	1	1	0	0	0	278H
1	0	0	1	1	1	1	0	0	1	279H
1	0	0	1	1	1	1	0	1	0	27AH
1	1	0	1	1	1	1	0	0	0	378H
1	1	0	1	1	1	1	0	0	1	379H
1	1	0	1	1	1	1	0	1	0	37AH
1	1	1	0	1	1	1	1	0	0	3BCH
1	1	1	0	1	1	1	1	0	1	3BDH
1	1	1	0	1	1	1	1	1	0	3BEH

PORTA 378, possono essere letti nel circuito di interfaccia per verificare la loro esattezza. I bit 0, 1 e 3, risultando invertiti rispetto al segnale di uscita, devono essere nuovamente invertiti per evitare problemi durante questa verifica.
Queste tre porte forniscono globalmente 12 uscite e 5 ingressi utilizzabili per il controllo completo della stampante.
Come detto in altre occasioni, il sistema operativo MS-DOS può supportare sino a tre di queste porte, che vanno da LPT1 a LPT3; la corrispondenza tra queste tre porte, con riferimento ad LPT1, è riportata nella relativa tabella, nella quale l'indirizzo della mappa di I/O di LPT1 corrisponde all'indirizzo di LPT2 o LPT3 che svolge la stessa funzione.
Con riferimento alle specifiche precedenti, che sono quelle che devono soddisfare tutti i circuiti di interfaccia per PC, viene proposto l'ipotetico circuito di interfaccia Centronics nel quale, per poterne meglio comprendere il funzionamento, vengono distinte le due sezioni più importanti: il decodificatore di indirizzi e il circuito di interfaccia propriamente detto.

BIT USCITA	FUNZIONE	PIN
D0	STROBE	1
D1	AUTO FD	14
D2	INIT/	16
D3	SLCT IN/	17
D4	ABILITAZIONE DI INTERRUPT (IRQ7)	
D5	non usato	
D6	non usato	
D7	non usato	

IL DECODIFICATORE

La decodifica di queste porte è una parte molto importante di questa interfaccia: è necessario infatti selezionare i tre indirizzi della mappa di ingresso/uscita che controllano ciascuna delle porte. In questo circuito questa funzione si ottiene con una PAL.
Le porte LPTn hanno un indirizzo di base, che corrisponde con l'uscita dei dati, e due indirizzi

Inizialmente si devono saldare i terminali torniti

successivi per il controllo e la lettura della stampante. Gli indirizzi di base sono: 378(LPT1), 278(LPT2) e 3BC(LPT3).
Se si osserva la relativa tabella degli indirizzi, si può verificare lo stato nel quale si trovano i bit di indirizzo per la selezione della porta richiesta. In corrispondenza di ogni indirizzo di base, la parte di porta alla quale si desidera accedere viene selezionata tramite A0 e A1; questo è il motivo per cui le suddette linee vengono inviate direttamente alla PAL senza necessità di alcun altro circuito addizionale, come per le altre linee del bus indirizzi.

L'INTERFACCIA

Come si può osservare nello schema, dopo che sono stati decodificati i segnali di lettura e di scrittura il funzionamento dell'interfaccia è di facile comprensione. In pratica, è formata essenzialmente da qualche latch controllato dai segnali già decodificati inviati dalla PAL.
I segnali che controllano la porta di invio dei dati alla stampante sono RP0 e WP0, che corrispondono rispettivamente alla lettura e alla scrittura di questa porta. Sulla sua uscita si possono notare

PORTA	DATI	STATUS	CONTROLLO
LPT1	378	379	37A
LPT2	278	279	27A
LPT3	3BC	3BD	3BE

Le porte LPTn hanno un indirizzo di base che corrisponde all'uscita dei dati, mentre i due indirizzi successivi sono dedicati al controllo e alla lettura della stampante

L'uscita di RESET azzera solamente il registro dell'uscita di controllo della stampante, e attiva il segnale INIT/ di inizializzazione

alcune resistenze in serie alle uscite dei dati, e alcuni condensatori collegati a massa. Questi componenti formano un circuito tampone che serve per evitare interferenze che si possono generare durante il collegamento. Questo stesso circuito tampone viene utilizzato per il segnale STROBE/.

La porta di controllo viene indirizzata tramite il segnale WP2 e verificata con RP2. In questa porta di uscita è presente un bit (bit 4) per mezzo del quale, se viene impostato ad 1, è possibile abilitare l'interrupt IRQ7 in modo che si attivi il segnale ACK/.

Infine, la porta di lettura degli stati viene controllata tramite il segnale RP1, che abilita l'uscita del suo latch (IC4) che normalmente si trova in stato di alta impedenza.

L'uscita RESET cancella solamente il registro dell'uscita di controllo della stampante, che permette l'attivazione del segnale INIT/ che la inizializza.

I terminali del connettore DB25 devono essere saldati direttamente allo stampato su entrambe le facce

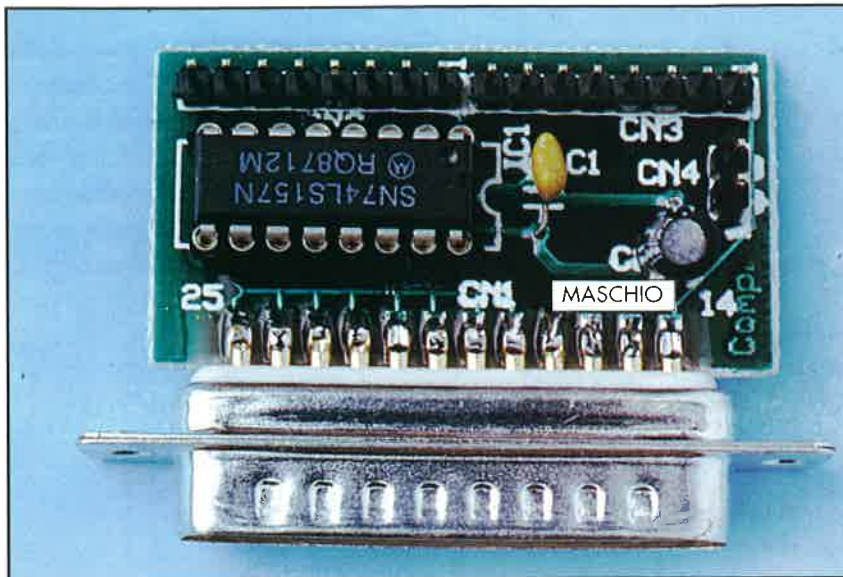
CIRCUITO DI I/O CENTRONICS

Dopo aver descritto il circuito di interfaccia per la stampante, si può esaminare il circuito presentato in questo capitolo che, anche se molto semplice, può risultare molto utile per leggere dei dati tramite il calcolatore senza dover collegare altri circuiti al suo interno.

Il dispositivo proposto è basato su di un solo circuito integrato non eccessivamente complesso, un multiplexer quadruplo a due ingressi e 1 uscita, che consente di moltiplicare per due gli ingressi disponibili della porta Centronics. Questo integrato è dotato perciò di 8 ingressi e quattro uscite di facile gestione per impieghi generali.

Il funzionamento è il seguente: la linea AUTO FD seleziona quattro ingressi della porta quando si trova a livello alto, e gli altri quattro quando si trova a livello basso. Per il controllo e la lettura della porta di ingresso si deve utilizzare una routine che comprima i 4 bit di ingresso e li memorizzi in un byte.

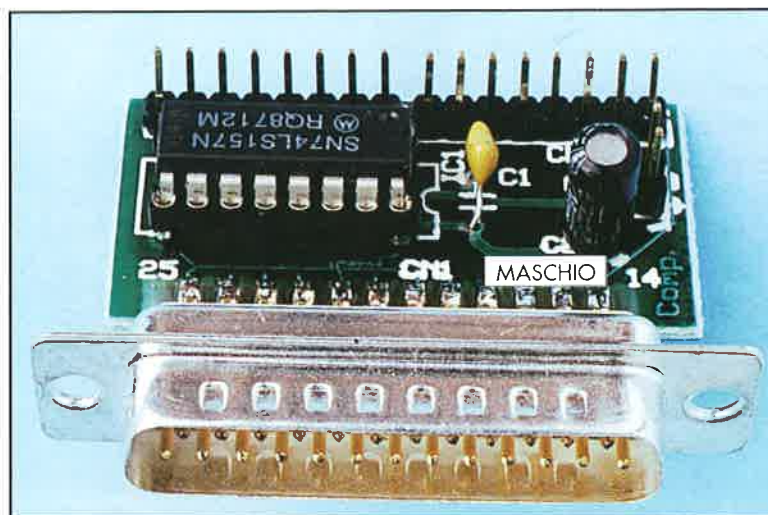
La routine, riportata nella figura corrispondente, inizialmente carica nel registro DX l'indirizzo della porta di controllo della stampante; in questo esempio la routine esegue la lettura sulla porta LPT1, che si trova all'indirizzo 37AH. Se si desidera collegare questo circuito ad un'altra porta, o se l'indirizzo non corrisponde a LPT1, si possono

```
MOV DX,037AH      ;Indirizzo della porta di controllo
IN AL,DX          ;Lettura della porta
MOV CH,AL         ;Salvataggio dello stato della porta
MOV AL,00000111   ;AUTO FD/=0, senza interrupt
OUT DX,AL         ;Selezione dei bit meno significativi
DEC DX            ;Indirizzo della porta di stato
MOV CL,4          ;Spostamento di quattro posizioni
                  ;(Inserire un ritardo facoltativo)
IN AL,DX          ;Lettura dei 4 bit meno significativi
SRL CL,AL         ;Spostamento dei bit bassi
MOV AH,AL         ;e posizionamento in AH
INC DX            ;Ritorno alla porta di controllo
MOV AL,00000101   ;AUTO FD/=1
OUT AL,DX         ;Selezione dei bit più significativi
DEC DX            ;Ritorno alla porta di ingresso
                  ;(Inserire un ritardo facoltativo)
IN AL,DX          ;Lettura dei bit
AND AL,F0H        ;Preparazione del dato
OR AH,AL          ;Fusione degli 8 bit
XOR AH,88H        ;Correzione per il valore reale
MOV AL,CL         ;Recupero della porta di cont. iniziale
INC DX            ;Indirizzamento del controllo
OUT AL,DX         ;Ripristino finale
RET               ;Il byte reale è memorizzato in AH
```

Con questo circuito si hanno a disposizione 8 ingressi e 4 uscite di facile gestione in applicazioni di uso generale

letti e successivamente compattati con quelli letti in precedenza per formare un byte.
La fusione dei bit viene eseguita nel seguente modo. Vengono predisposti i quattro bit meno significativi, che occupano le linee da D7 a D4 della porta, e vengono spostati verso D3-D0 tramite l'istruzione SRL (che viene eseguita quattro volte); il byte risultante assume la forma "0000XXXX". Successivamente, durante la lettura dei bit più significativi, con l'istruzione "AND F0H" vengono forniti nel formato "XXXX0000", con il quale è già possibile eseguire una istruzione OR per ottenere il byte risultante.
Per fare in modo che questo byte sia realmente corretto si deve invertire il bit che corrisponde all'ingresso ACK/, supposto che nell'interfaccia venga ricevuto in forma negata; per eseguire questa inversione del bit senza alterare il contenuto rimanente bisogna utilizzare l'istruzione "XOR 88H"; il risultato che si riscontra nel registro AH corrisponde al valore reale della porta a 8 bit.
Nel listato si può notare che vi sono alcune linee

Per il controllo e la lettura della porta di ingresso si deve utilizzare una routine che comprima i due gruppi da 4 bit di ingresso e li memorizzi in un byte

usare gli indirizzi 27AH per LPT2 e 3BEH per LPT3. Dopo aver impostato l'indirizzo viene letto e memorizzato il valore presente su questa porta, in modo che dopo aver terminato la sua lettura possano essere ripristinati i valori presenti in precedenza (se si utilizzano questi bit come uscite addizionali questa operazione può risultare molto utile); successivamente viene impostato a livello basso il segnale AUTO FD/, in modo che esegua la lettura dei 4 bit "bassi" della porta degli ingressi. Questi bit "bassi", selezionati con il segnale AUTO FD/=0, sono quelli meno significativi del byte, e corrispondono ai bit 0, 1, 2 e 3.
Dopo aver letto questi bit di ordine inferiore la routine salva i loro valori nel registro AL; successivamente vengono spostati di quattro posizioni per lasciare spazio ai quattro bit più significativi; dopo lo spostamento vengono memorizzati nel registro AH. Al termine della lettura dei bit di ordine inferiore viene modificato il valore del segnale AUTO FD/ in modo che commuti a livello alto (o logico 1) per permettere la selezione dei quattro bit di ordine superiore tramite la commutazione degli ingressi del 74HC157; questi bit vengono

Il connettore DB25 è maschio, per cui può essere collegato direttamente alla porta Centronics

che indicano "Inserire un ritardo facoltativo"; queste linee vengono utilizzate per fare in modo che i quattro ingressi selezionati si stabilizzino. Questo ritardo dipende dalla velocità del multiplexer utilizzato e dalla velocità di elaborazione del PC.

MONTAGGIO

Come si può osservare nello schema questa scheda non presenta alcun problema di montaggio, in quanto i componenti utilizzati sono davvero pochi, solamente un circuito integrato e qualche elemento passivo, poiché viene quasi integralmente sfruttata la circuiteria della scheda di interfaccia Centronics. Si ricorda che si tratta di un circuito a doppia faccia con fori non metallizzati, per cui i componenti devono essere saldati da entrambi i lati.
Inizialmente è opportuno saldare i terminali torniti che servono da zoccolo per l'integrato, e i terminali maschi che formano i connettori CN2, CN3 e CN4. Successivamente si possono montare i condensatori e il connettore DB-25 maschio; quest'ultimo deve essere installato in modo che lo stampato si incastri tra le sue due file di terminali, facendo attenzione a non forzare l'inserimento dello stesso per evitare il danneggiamento delle piste. Infine, non rimane che da inserire il multiplexer 74HC157 nel suo zoccolo ed eseguire tutti i cablaggi necessari per collegare i bit di ingresso e di uscita alle applicazioni che si desiderano.
Poiché il circuito non è dotato di alimentazione propria, è stato previsto un connettore per il collegamento ad un alimentatore a 5 V.

Elenco componenti

Condensatori

C1 = 100 nF, ceramico

C2 = 1 µF 16 V al tantalio

Circuiti integrati

IC1 = 74HC157 o equivalente

Varie

16 terminali torniti femmina

Connettore DB-25 maschio

18 terminali maschi per c.s.

Circuito stampato PC10190V0535

L'acquisizione dei dati può essere effettuata anche da un portatile

Poiché il circuito non è dotato di alimentazione propria, è previsto un connettore per fornirgli i 5 V necessari